

Requested Patent: JP9017779A

Title:

FORMATION METHOD OF OXIDE FILM FOR ELEMENT ISOLATION OF
SEMICONDUCTOR DEVICE ;

Abstracted Patent: JP9017779 ;

Publication Date: 1997-01-17 ;

Inventor(s): FURUKAWA MASAKI ;

Applicant(s): SONY CORP ;

Application Number: JP19950182092 19950626 ;

Priority Number(s): ;

IPC Classification: H01L21/316; H01L21/76 ;

Equivalents: ;

ABSTRACT:

PURPOSE: To obtain a formation method in which respective elements are electrically insulated and isolated surely even when an element isolation region is made fine by a method wherein an ion implantation process in which oxygen ions are implanted into the formation position of an element isolation oxide film is executed before the formation process of the element isolation oxide film.

CONSTITUTION: With a resist pattern 6 left, O₂ ions 15 are implanted into the inside of a silicon substrate 1 from an opening part 7 for element isolation. Then, while about the 1800 \AA depth from the surface of the silicon substrate 1 is used as a reference position, an O₂ ion implantation layer is formed about 600 \AA wide in the upper part and the lower part. Then, a resist 6 is stripped from a siliconnitride film 5. After that, the silicon substrate 1 is thermally oxidized in a diffusion furnace. Thereby, the silicon substrate 1 is oxidized selectively. An oxide film (LOCOS) 8 for element isolation is formed by the thermal oxidation of the silicon substrate in the opening part 7 in an oxidation-resistant film.

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-17779

(13)公開日 平成9年(1997)1月17日

(51) Int.Cl.
H 01 L 21/816
21/76

識別記号 庁内整理番号

P I
H 01 L 21/84
21/76

技術表示箇所
A
M

審査請求 未請求・請求項の数6 FD (全6頁)

(21) 出願番号 特願平7-182092
(22) 出願日 平成7年(1995)6月28日

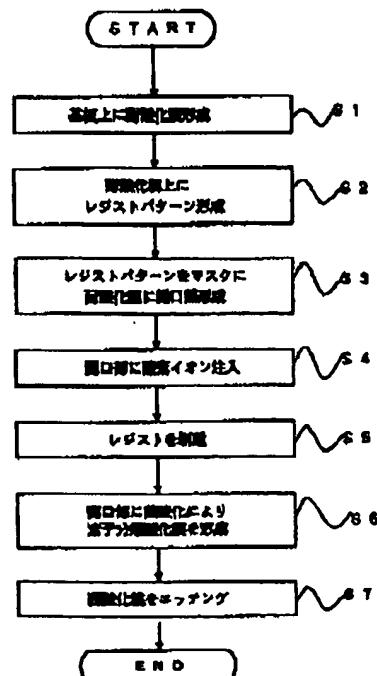
(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 古川 正樹
長崎県諫早市津久葉町1883番43 ソニー長
崎株式会社内

(54)【発明の名称】半導体装置の素子分離用酸化膜形成方法

(57)【要約】

【目的】基板上の各素子間を確実に電気的に絶縁分離する素子分離能力の高い半導体装置の素子分離用酸化膜形成方法を提供する。

【構成】基板1上に耐酸化膜2、3、4、5を形成する耐酸化膜形成工程S1と、上記耐酸化膜2、3、4、5表面上にレジストパターン6を形成するレジスト被覆工程S2と、上記レジストをマスクとして、前記耐酸化膜2、3、4、5をエッチングして素子分離用開口部7を形成する開口部形成工程S3と、上記レジストを剥離するレジスト剥離工程S5と、上記開口部7に熱酸化処理により素子分離酸化膜8を形成する素子分離酸化膜形成工程S6と、上記耐酸化膜をエッチングして除去する耐酸化膜除去工程S7とを含む半導体装置の素子分離用酸化膜形成方法において、前記素子分離酸化膜8の形成位置に酸素イオン注入工程S4を設けた。



【特許請求の範囲】

【請求項1】 基板上に耐酸化膜を形成する耐酸化膜形成工程と、
上記耐酸化膜表面上にレジストパターンを形成するレジ
スト被覆工程と、
上記レジストをマスクとして、前記耐酸化膜をエッチングして素子分離用開口部を形成する開口部形成工程と、
上記レジストを剥離するレジスト剥離工程と、
上記開口部に熱酸化処理により素子分離酸化膜を形成す
る素子分離酸化膜形成工程と、
上記耐酸化膜をエッティングして除去する耐酸化膜除去工
程と、を含む半導体装置の素子分離用酸化膜形成方法にお
いて、
前記素子分離酸化膜形成工程の前に、この素子分離酸化
膜の形成位置に酸素イオンを注入するイオン注入工程を
設けたことを特徴とする半導体装置の素子分離用酸化膜
形成方法。

【請求項2】 前記イオン注入工程は前記開口部形成工程
後、前記レジスト剥離工程の前に行うことを特徴とする
請求項1に記載の半導体装置の素子分離用酸化膜形成方
法。

【請求項3】 前記イオン注入工程は前記耐酸化膜形成工
程の前に行うことを特徴とする請求項1に記載の半導体
装置の素子分離用酸化膜形成方法。

【請求項4】 前記イオン注入工程は前記耐酸化膜形成工
程の途中で行うことを特徴とする請求項1に記載の半導
体装置の素子分離用酸化膜形成方法。

【請求項5】 前記イオン注入工程は前記レジスト被覆工
程後、前記開口部形成工程の前に行うことを特徴とする
請求項1に記載の半導体装置の素子分離用酸化膜形成方
法。

【請求項6】 前記イオン注入工程は、素子分離領域内の
所定領域に酸素イオンを注入するためのレジストバタ
ーニングを施した状態で行うことを特徴とする請求項1に
記載の半導体装置の素子分離用酸化膜形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の素子分離
用酸化膜形成方法に関する。詳しくは、基板上の素子間
分離領域を選択的に熱酸化して素子分離用酸化膜を形成
する半導体装置の素子分離用酸化膜形成方法に係わるもの
である。

【0002】

【従来の技術】 半導体製造プロセスにおいて、シリコン
基板上に並列して形成される複数のトランジスタ等の各
素子間を電気的に絶縁するための素子分離法の一つとし
てLOCOS法が用いられている。このLOCOSの形成方法は、まずシリコン基板(ウエハ)上にシリコン酸
化膜(SiO₂膜)等からなる耐酸化膜を形成し、この
耐酸化膜をエッティングして素子分離領域に開口を形成

し、次にこのシリコン基板を熱酸化して、開口した素子
分離領域のシリコンを酸化して、このシリコン基板の素
子分離領域にバルク状の層厚なシリコン酸化膜からなる
LOCOSを形成するものである。近年半導体装置が小
型化、高密度化し、ウエハ上に形成される各素子のデザ
インルールが微小化するに伴い、このようなLOCOS
による素子分離領域も微小化する必要が生じてきた。

【0003】

【発明が解決しようとする課題】 しかしながら、従来の
LOCOS形成方法においては、LOCOS形成時の熱
酸化によるLOCOSの横方向への拡がりを抑えるため
処理時間が限られ、充分な厚さのLOCOSが得られな
い場合があった。即ち、熱酸化の処理時間を短くして
LOCOS幅の狭い酸化膜を形成した場合、LOCOSの
膜幅の減少とともに膜厚も薄くなっていた。そのため、
LOCOSのシリコン基板への埋込み深さの不足による
素子分離能力の低下を生じ、パンチスルーを生じるお
それがあった。この問題について以下さらに説明する。

【0004】 図7は従来のシリコン基板に形成されたし
LOCOSの要部断面図である。Nシリコン基板50上に
形成されたP領域51上に分離すべき素子のN領域5
4、55が形成される。これら両N領域54、55間に
LOCOS酸化膜52が形成され各素子間を分離する。
このLOCOS酸化膜52上にはIC回路形成の必要に
応じホリシリコン配線層53が形成される。この場合、
ホリシリコン配線層53とLOCOS52及びNシリコ
ン基板50からなる構造はLOCOS52をゲート酸化
膜とするパラスティックトランジスタを構成する。この
ため、配線にある値以上の電圧がかかると、パラスティ
ックトランジスタはON状態になり両側の素子の間が電
気的に導通して素子分離が破れるという問題、即ち分離
すべき両素子間がリークしてパンチスルー現象を起こす
という問題が生じる。これに対処するためにLOCOS
52の膜厚を増大しようと熱酸化の処理時間を長くした
場合、基板内部への埋込み深さが増すとともに、LOC
OS52のシリコン基板表面からの突出量が大きくな
り、基板表面との段差が増して平坦性が悪くなる。さら
にこの場合、横方向へも拡張してLOCOS幅を大き
くとり素子形成領域を減少させるという問題を生じる。

【0005】 本発明は、上記従来技術の問題点に鑑みな
されたものであって、半導体装置のデザインルールの微
小化に伴い、素子分離領域が微細化しても、各素子間を
確実に電気的に絶縁分離する素子分離能力の高い半導
体装置の素子分離用酸化膜形成方法の提供を目的とする。

【0006】

【課題を解決するための手段】 前記目的を達成するた
め、本発明では、基板上に耐酸化膜を形成する耐酸化膜
形成工程と、上記耐酸化膜表面上にレジストパターンを
形成するレジスト被覆工程と、上記レジストをマスクと
して、前記耐酸化膜をエッティングして素子分離用開口部

(3)

特開平9-17779

を形成する開口部形成工程と、上記レジストを剥離するレジスト剥離工程と、上記開口部に熱酸化処理により素子分離酸化膜を形成する素子分離酸化膜形成工程と、上記耐酸化膜をエッチングして除去する耐酸化膜除去工程と、を含む半導体装置の素子分離用酸化膜形成方法において、前記素子分離酸化膜形成工程の前に、この素子分離酸化膜の形成位置に酸素イオンを注入するイオン注入工程を設けたことを特徴とする半導体装置の素子分離用酸化膜形成方法を提供する。好ましい実施例においては、前記イオン注入工程は前記開口部形成工程後、前記レジスト剥離工程の前に行なうことを特徴としている。

【0007】別の好ましい実施例においては、前記イオン注入工程は前記耐酸化膜形成工程の前に行なうことを特徴としている。

【0008】さらに別の好ましい実施例においては、前記イオン注入工程は前記耐酸化膜形成工程の途中で行なうことを特徴としている。

【0009】さらに別の好ましい実施例においては、前記イオン注入工程は前記レジスト被覆工程後、前記開口部形成工程の前に行なうことを特徴としている。

【0010】さらに別の好ましい実施例においては、前記イオン注入工程は、素子分離領域内の所定領域に酸素イオンを注入するためのレジストバーニングを施した状態で行なうことを特徴としている。

【0011】

【作用】素子分離酸化膜形成工程の前に、素子分離酸化膜の形成位置に酸素イオンを注入して酸素イオン注入層を形成する。この後、熱酸化処理を行って素子分離酸化膜を形成する。これにより、素子分離酸化膜には基板内部に注入された酸素イオン注入層の酸化による酸化層が加えられて、深さ方向に層が厚くなつた素子分離酸化膜（LOCOS）が形成される。

【0012】

【実施例】以下図面に基づき本発明の実施例について説明する。図1は本発明の実施例に係る半導体装置の素子分離用酸化膜形成方法の製造工程を示すフローチャートであり、図2～図4はこの製造工程の各ステップに対応した半導体装置のLOCOS形成過程を順番に示す要部断面図である。まず、ステップS1で、シリコン基板上に耐酸化膜を形成する。この耐酸化膜は、後述のLOCOS熱酸化時に基板上のLOCOS以外の領域が酸化されることを防止するためのものである。この耐酸化膜を形成する工程においては、まず、図2（A）に示すようにシリコン基板1表面を酸化してシリコン酸化膜（SiO₂）2を約50オングストロームの厚さに形成する。次に、図2（B）に示すようにシリコン酸化膜2上にCVDで約480オングストロームの厚さのポリシリコン膜3を形成し、このポリシリコン膜3表面を酸化してシリコン酸化膜4を約80オングストロームの厚さに形成する。さらにこのシリコン酸化膜4上にCVDでシ

リコンナイトライド膜（SiN）5を約1000オングストロームの厚さに形成する。

【0013】続いて、ステップS2においてシリコンナイトライド膜5全面にレジストを塗布し、素子分離領域用を開口部とするレジストパターン6を形成する（図2（C）参照）。次にステップS3において、パターニングされたレジストパターン6をマスクとして、シリコンナイトライド膜5とシリコン酸化膜4及びポリシリコン膜3をシリコン基板1表面から約300オングストロームまで残してエッチングにより除去し素子分離用開口部7を形成する（図2（D）参照）。

【0014】続いて、図3（E）に示すように、レジストパターン6を残した状態で、素子分離用開口部7から矢印IIで示すようにシリコン基板1内部にO2イオン15を注入する（ステップS4）。

【0015】このときのイオン注入条件の一例を示せば次のとおりである。

【0016】イオン種：O₂イオン
エネルギー：約90keV

上記注入条件でO₂イオン15をシリコン基板1に注入して、このシリコン基板1表面から約1800オングストロームの深さを基準位置（イオン濃度が最も高くなるような打込み目標位置）としてその上下約600オングストロームの幅にO₂イオン注入層が形成されるようになる。なお、この1800オングストロームの深さは、従来の熱酸化のみによりLOCOSを形成していた場合の熱酸化条件によるLOCOSの深さである。

【0017】ついで、ステップS5においてシリコンナイトライド膜5上からレジスト6を剥離する（図3（F）参照）。その後、ステップS6において抵抗炉の中でシリコン基板1を熱酸化する。これによりシリコン基板1が選択的に酸化される。

【0018】このときの熱酸化条件を例示すると次のとおりである。

【0019】ガス：H₂+O₂
温度：950°C
時間：115min

上記熱酸化条件で耐酸化膜の開口部7のシリコン基板を熱酸化することにより素子分離用酸化膜（LOCOS）8を形成する。この熱酸化条件は、前述のように従来のイオン注入を行わない熱酸化のみによるLOCOS形成方法の場合に基準表面から1800オングストロームの深さまでLOCOSが形成される条件である。

【0020】このようにして形成した本実施例のLOCOS8を図3（G）に示す。このLOCOS8の深さは基板1表面から1800オングストローム（点線の位置）までは従来と同じように熱酸化の作用で形成されるが、本実施例では、さらにO₂イオンが約600オングストローム下方まで注入されているためこの部分が酸化されLOCOS8の深さは基板1の表面から約240

(4)

特開平9-17779

0オングストロームとなり從来に比べ深くなる。一方、基板1の上面に突出するLOCOS8の高さは約2200オングストロームであり、これは熱酸化のみによる從来方法と変らず、平坦性を悪化させることはない。また、この熱酸化によりシリコンナイトライド膜9の表面に酸化膜(SiO₂膜)9が形成される。

【0021】統いて、ステップS7において耐酸化膜(2、3、4、5および9の積層体)をエッチングして除去する。この際、LOCOS8の上面もエッチングされ膜厚が減少して基板表面からの突出量は約900オングストロームになる。このようにして基板1にLOCOS8が形成される(図4(H)参照)。このLOCOSの横幅および複数のLOCOSの並列するLOCOS間の線幅(間隔)はともに約0.6μmである。この後、各LOCOS8の両側に、通常の工程に従ってMOS等のトランジスタ素子が形成される。

【0022】図4(I)は上記本実施例のLOCOS8により分離された素子領域の断面図である。この図は前述の從来の図7の断面図に対応するものである。図7の場合と同様に、Nシリコン基板16上に形成されたP領域17上に分離すべき素子のN領域19、20が形成される。これらのN領域19、20間に前述の本実施例のLOCOS8が形成され各素子間を分離する。このLOCOS8上にはIC回路形成の必要に応じポリシリコン配線層18が形成される。本実施例においては、LOCOS8が前述の從来例(図7)に比べ基板内に深く形成されるため、各素子間が確実に分離され、從来例のようなリーフによるパンチスルーの問題は起こらない。また、基板上への突出高さが増大することではなく、必要な平坦性は確保される。

【0023】次に、本発明の別の実施例について説明する。図5(A)(B)(C)はそれぞれ本発明の第2~第4実施例に係るシリコン基板へのO2イオン注入時期を示す半導体装置の要部断面図である。

【0024】図5(A)は本発明の第2実施例を示す。上述した第1実施例ではO2イオンの注入を図1のフローチャートにおけるステップS3とステップS5との同、即ち耐酸化膜に開口部を形成後、レジスト6の剥離前に行なうようにしているがこの第2実施例においてはO2イオン注入をステップS1の前、即ちシリコン基板1上に耐酸化膜を形成する前に行なうようにしている。この場合、シリコン基板1上に素子分離領域を開口部とするレジスト10を被覆し、このレジスト10をマスクとして、シリコン基板1内にO2イオンを注入する。

【0025】図5(B)は本発明の第3実施例を示す。この第3実施例においては、O2イオンの注入は、耐酸化膜形成工程であるステップS1の途中、即ち例えばボリシリコン膜3をCVDで形成した後、シリコン酸化膜4を形成する前に行なう。この場合、ボリシリコン膜3上に素子分離領域を開口部とするレジスト11を被覆

し、このレジスト11をマスクとして、シリコン酸化膜2およびボリシリコン膜3を通してシリコン基板1内にO2イオンを注入する。

【0026】図5(C)は本発明の第4実施例を示す。この第4実施例においては、O2イオン注入は、耐酸化膜上にレジストパターンを形成するステップ2と耐酸化膜をエッチングするステップ3との間に行なう。即ち、素子分離領域を開口部とするレジストパターン6を形成した後、このレジストパターン6をマスクとして、耐酸化膜2をエッチングする前にイオン注入を行う。

【0027】図6は、本発明の第5実施例を示す。図6(A)はこの第5実施例に係るシリコン基板へのO2イオンの注入領域を定めるためのレジストパターン13を被覆した半導体装置の断面図である。図6(B)はこの第5実施例により形成されたLOCOS8の断面図である。前述の各実施例ではO2イオン注入をシリコン基板1の素子分離領域全体に行なっていたが、この第5実施例では図6(A)に示すように素子分離領域内の所定領域にのみ開口したレジストパターン13を開口内に形成し、このレジストパターン13をマスクとして、この所定領域内にO2イオン15を注入する。これにより、LOCOS8は図6(B)に示すように、基板1内で局部的に深く形成されることになり、基板内部に向けて突出部21を有するLOCOS22が形成される。

【0028】なお、前記各実施例ではレジストを用いてO2イオン注入領域のバーニングを行なっているが、耐酸化膜が開口している場合には、この耐酸化膜自体をレジストパターンの代りに用いてよい。

【0029】

【発明の効果】以上説明したように、本発明に係わる半導体装置の素子分離用酸化膜形成方法においては、熱酸化による素子分離酸化膜形成工程の前に、酸素イオンを注入して基板内部に酸素イオン注入層を形成した状態で熱酸化するので、從来と同じ熱酸化条件で形成した場合、素子分離酸化膜は酸素イオン注入層の分だけ基板内に深く形成され素子分離能力の向上が図られる。また、膜幅に対して、深さ方向に膜厚な素子分離酸化膜が形成できるので、半導体装置のデザインルールの微小化に伴い、素子分離領域が微小化されても、基板からの突出量を抑えて平坦性を維持したまま深さ方向への必要な膜厚を確保し確実な素子間分離を図ることができる。さらに、深さ方向に必要とする所定の膜厚となる素子間分離酸化膜形成のための熱処理時間を短縮できるので、半導体装置の歩留りの向上が図られる。また、この場合、熱処理時間の短縮に伴い基板からの酸化膜突出量が減少し平坦性が向上してカバレッジが良好になり、特性の優れた半導体素子が得られる。

【因面の簡単な説明】

【図1】 本発明の第1実施例に係わる半導体装置の素子分離用酸化膜形成方法の製造工程を示すフローチャー

(5)

特開平9-17779

トである。

【図2】 上記実施例に係る半導体装置の素子分離用酸化膜形成方法の製造工程の各ステップに対応した半導体装置のLOCOS形成過程を順番に示す要部断面図である。

【図3】 図2に続く半導体装置のLOCOS形成過程を順番に示す要部断面図である。

【図4】 図3に続く半導体装置のLOCOS形成過程を順番に示す要部断面図である。

【図5】 (A) (B) (C) はそれぞれ本発明の第2、第3、第4実施例に係る酸素イオン注入時期を示す半導体装置の要部断面図である。

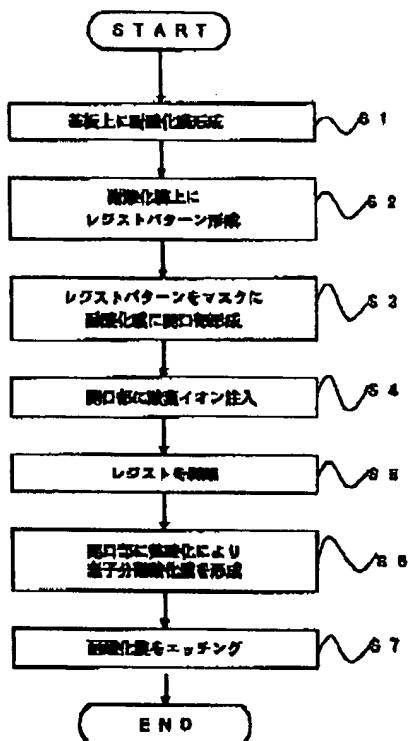
【図6】 本発明の第5の実施例に係る半導体装置素子分離用酸化膜形成方法において酸素イオンの注入領域を狭くした場合を示す半導体装置の要部断面図である。

【図7】 従来の半導体装置の素子分離用酸化膜形成方法によりシリコン基板に形成されたLOCOSを説明する要部断面図である。

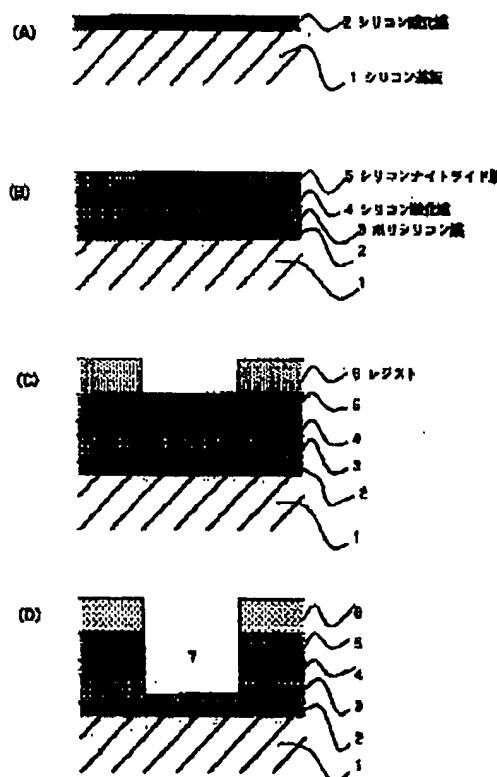
【符号の説明】

1: シリコン基板、2: シリコン酸化膜、3: ポリシリコン膜、4: シリコン酸化膜、5: シリコンナイトライド膜、6: レジストパターン、7: 開口部、8: LOCOS、9: 酸化膜、10: レジスト、11: レジスト、13: レジストパターン、15: O₂イオン。

【図1】

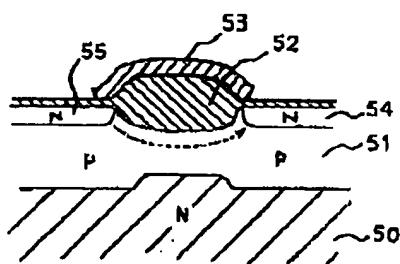


【図2】



BEST AVAILABLE COPY

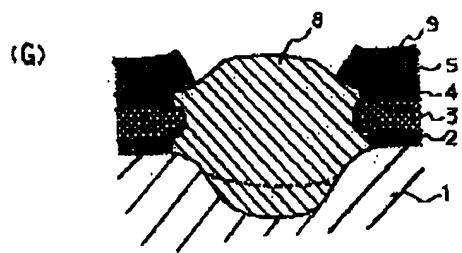
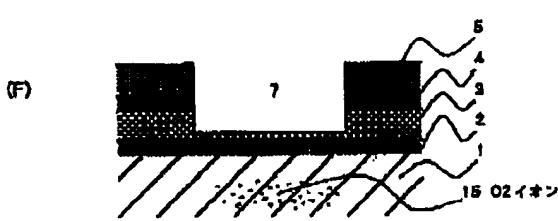
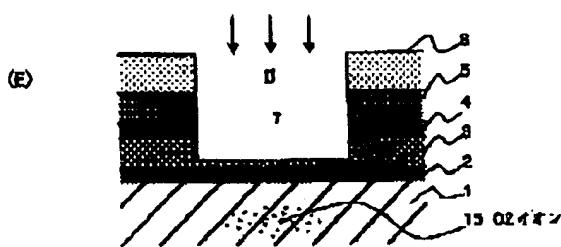
【図7】



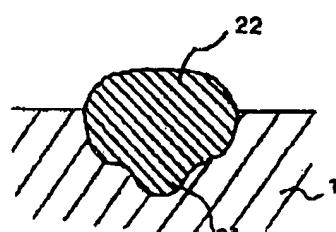
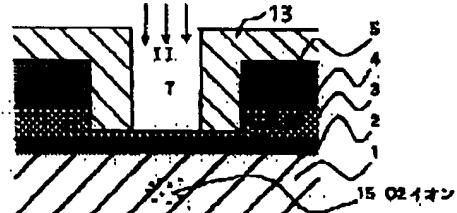
(6)

特開平9-17779

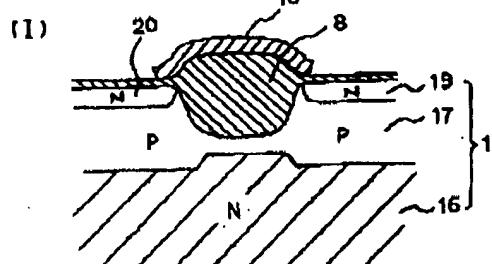
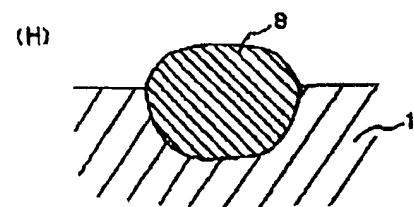
【図3】



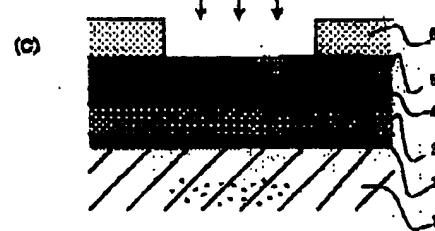
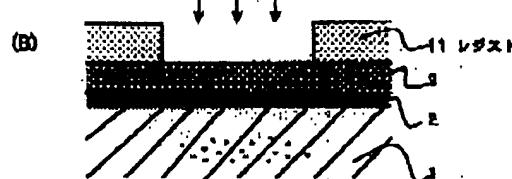
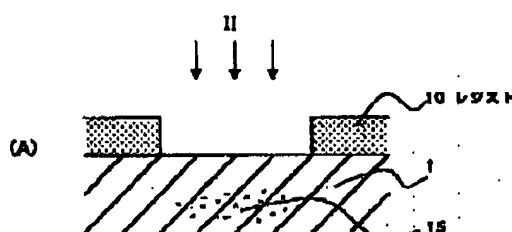
【図6】



【図4】



【図5】



BEST AVAILABLE COPY